

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—187395

⑬ Int. Cl.<sup>3</sup>

G 09 G 3/36

G 09 F 9/35

識別記号

庁内整理番号

7436—5C

6615—5C

⑭ 公開 昭和59年(1984)10月24日

発明の数 1

審査請求 未請求

(全 6 頁)

⑮ 記憶型アクティブパネル

⑯ 特 願 昭58—61690

⑰ 出 願 昭58(1983)4月8日

⑱ 発 明 者 尾崎望

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

発明の名称

記憶型アクティブパネル

特許請求の範囲

半導体基板上に形成された電気回路によって構成され、各画素に該画素の画像データを記憶する記憶回路と該記憶回路のデータにより液晶駆動信号を制御する制御回路を有する記憶型アクティブパネルにおいて、

各画素内の画像データの記憶回路が画面において縦または横に並んだ一連のシフトレジスタの1ビット分のレジスタ回路によって構成され、各レジスタ回路に入力されるクロック信号により画像データが上下または左右の隣り合う画素内のレジスタ回路へ転送されることを特徴とする記憶型アクティブパネル。

発明の詳細な説明

本発明は、上下・左右へのスクロール表示を行なうのに適した記憶型アクティブパネルに関するものである。

高性能・高品質表示のドットマトリックス表示の実現を目的として、いろいろな表示体の研究が成されて来ている。液晶をその表示媒体とした表示パネルでは、ドットマトリックス表示の実現を目ざし大きく分けて2つの方法が試みられている。ひとつは直交する透明電極間に液晶をはさみ、これらの直交電極に複雑な波形を持つ信号を印加し、その実効電圧により液晶を表示させようとするものであり、液晶の特性の改善あるいは電極構造の工夫(多重マトリックス)等に進展しつつある。他方このようなドットマトリックス表示のアドレスングの問題を全く伴わないアクティブパネル方式がある。この方式は各表示単位(画素)に非線型素子を設け、各画素の電位を直接設定しようとするもので、各画素に1個の電界効果トランジスタと1個のコンデンサーを用いたテレビ

等の動画表示を目的としたアクティブパネルと、各画素にラッチ回路・メモリー回路等のスタティックな記憶回路を持つ文字・図形等の表示を目的とした記憶型アクティブパネル等がある。

記憶型アクティブパネルは、低電圧駆動・低消費電力であるという大きな特長を持ち、特に携帯用機器への応用に適している。しかし反面、携帯用機器への応用ということで、使用できるCPU、RAM等の制御回路の性能には限界が存在し、特に動画の処理ではCPUの命令の実行時間が長くなり過ぎ追いつけないという状況が生じて来る。

本発明はこのような動画処理の内、特によく使用される画面の上下・左右へのスクロール表示について取り上げ、このような表示形態に適した記憶型アクティブパネルの回路構成を実現することを目的とする。

第1図に記憶型アクティブマトリックスパネルの画素の回路の例を掲げた。1が1個の画素であり、これはこの画素での表示内容のデータを記憶

ときには、画素電極14には信号9の反転された信号が印加される為、液晶に実効的な電圧が印加される。この2状態の実効電圧の差を利用して、液晶に表示を行なわせることができる。

第2図には、このようなラッチ回路を各画素の画像データの記憶回路とし、画素選択信号により画素を選択し画像データを入力する場合の、一時にデータの入力される画面内での転送領域について示した。17はこの表示体の画面を被らし、画素選択信号(18, 19)は画面内を左右に走り、この信号により画面の横一列(20, 21)の画素が選択されるように構成されており、この画素選択信号を画面上部から下部へ順次(22, 23)ON状態にし、画像データを転送することにより画像を構成する。このような方式では、画素の横の列20, 21の間で相互にデータの転送が行なわれるというようなことは無く、パネル内においてこれらの隣り合う画素は全く独立していると言える。

表示体は、その使用目的によって種々の表示形

する記憶回路2と、当該記憶回路のデータにより液晶駆動信号を制御する制御回路3によって構成されている。画素の表示データ4は、画素選択信号5により、クロックドインバータ6, 7及びインバータ8によって構成されるラッチ回路へ書き込まれる。低周波数方形波の液晶駆動信号9(コモン信号)は、記憶回路2の情報10, 11を用いてクロックドインバータ12, 13の開閉(ON, OFF)により制御され、液晶を駆動する画素電極14に印加される。信号15は信号9と同じ信号であり、パネルの上ガラスより形成された透明電極に印加される。16はこれらの間に封入された液晶である。

さて、記憶回路からの信号10, 11により、クロックドインバータ12がOFF状態であり、クロックドインバータ13がON状態のときには、画素電極14には信号15と同じ信号が印加される為、液晶には実効的な電圧は印加されない。逆に、クロックドインバータ12がON状態であり、クロックドインバータ13がOFF状態のと

題が要求され、固定化された画面で十分であるものの、画面の1部分のみを任意に変更し得るもの、文字等を上下、左右にスクロールできるもの等、その表示形態に合わせてパネルの転送方式、回路構成を工夫する必要がある。すなわち、固定化された画面を順次表示するものでは、表示の更新は全画面の書き換えによるものが多く、画像データの転送回路の構成には特に工夫は不要であるが、画面内の1部分の領域を書き換えることの必要な表示であれば、その部分のみの画像データの変更が適切に実行できるように周辺回路を工夫する必要がある。画面の部分的な変更において画面内の全くランダムな領域において任意に実行できることが要求される場合には、より自由度の高い転送方式が必要である。また、画像の上下または左右へのスクロールという画一的な動きのあるパネルにおいては、パネル内にこのような機能を作り込むことにより、周辺回路・制御回路の負担を低減することができる。

第3図には、文字24が画面25を順次右から

左へ(26)スクロールする場合について示した。このように文字をスクロールさせることにより、限られた大きさの表示スペースで長い文章を表示することができるという利点があり、またこのような動的表示は見る人の注意を喚起し、表示形態としてもおもしろいものである。

しかしながらこのような表示を第1図に示したような各画素にラッチ回路を持ち外部からこれらの画素内の記憶回路に画像データを書き込む方式では、その処理は複雑となり実行時間も長くなる。たとえば、表示パネルの画素内の記憶回路と1対1に対応したRAM(V-RAM)を画像データの記憶領域として確保し、CPUにおいてプログラムに従って演算処理を行なうことにより、このV-RAM内に画像データを構成し、その後これをパネルに転送し表示を行なう方式を用いる場合には、上記のような画像のスクロールを行なうには、V-RAMのデータを読み出し、ローテーション(回転)等の処理を行ない画像データを左へずらし、再びこれをV-RAMに入れる、ある

パネルを提供しようとするものである。

第4図に本発明の構成より成る記憶型アクティブパネルの画面の1部分について示した。本発明のパネルは、右から左へ(または下から上へ等々)画像データの転送可能なシフトレジスタを画像データのスタティックな記憶回路としている点の特徴である。同図において破線27で囲まれた部分が1個1個の画素であり、各画素内にはシフトレジスタの1ビット分のレジスタ回路28を持ち、これは画面の右から左へ横一列につながれている。画面右側において外部から入力された画像データ29は、クロック信号30により画面の一番右側の画素31内のレジスタ32に読み込まれ、クロック信号30により順次33→34→35…と画像データは左側の画素に転送される。画像データ36, 37についても同様であり、これらの横の列において画像データが右から左へ転送されるタイミングはすべて同期しており、クロック信号30によって制御されている。

このレジスタ28から液晶駆動信号の制御回路

いは画像の新しいデータを付け加える等の処理を行ない、V-RAMにおいて一旦画像データを構成し、このデータの構成の完了とともにV-RAMのデータをパネルに転送し表示させるという複雑な処理が必要とされる。また上記のような画素内の記憶回路を、読み出し可能なメモリー回路に変更しても、V-RAMからパネルへの転送時間の短縮は可能となるが、依然としてCPUにおける複雑な演算処理は必要であり、大巾な効率化の実現はむづかしい。

第3図のような画像のスクロールは、長い文章等の表示によく用いられる表示形態であるが、見かけに反しそのデータの処理は上述したように簡単とは言えない。特に携帯用機器等の演算処理の遅いものでは、このようなスクロール表示を行なうこともむづかしくなる。

本発明は、記憶型アクティブパネルにおいて、パネル自体に画像を上下または左右へスクロールすることの可能な機能を内蔵し、簡単な制御により速やかなスクロールを実行することのできるバ

38に、第1図の10, 11と同じように記憶回路のデータ39が送られ、コモン信号40を制御し画素電極41に印加される。42は上ガラスの透明電極であり、43はこの間に封入された液晶である。

第5図には、本発明の記憶型アクティブパネルに用いられる、1個の画素内に形成されるシフトレジスタの1ビット分のレジスタの回路の例を示した。これはCMOS回路によって構成されるスタティックなレジスタの代表例であり、インバータ44, 45, 及びクロックドインバータ46, 47, 48, 49によって構成されている。50は右側の画素(または外部)からの入力データ、51は転送クロック、52は次画素への出力データ、53及び54は液晶駆動信号の制御回路への信号である。本回路ではクロック信号51がLowでデータを保持しており、クロック信号をLow→High→Lowとすることにより画像データは左へ出力され、右からのデータを読み込み保持する。このようにクロック信号のみで順次データ

を転送することができる。

第6図には、本発明の記憶型アクティブパネルの画像データの入力及び転送の様子を示した。画面55の右側から画素の横の列ごとに並列に画像データ56が入力されており、クロック信号により順次右から左へ(57, 58)データが転送される。たとえば隣り合う3本の画素の縦の列59, 60, 61において、クロック信号の入力により59の列の表示が60の列へ移り、60の列の表示が61の列へ移り、画像は順次左へ移動して行く。

以上述べて来たように、本発明のようなシフトレジスタにより画面内にデータを順次転送し保持するような画像データ入力方式を用いれば、上下・左右へのスクロールを主な表示形態とする表示体において、周辺回路・制御回路の大巾な簡略化が実現できる。上述した例においては、画面右端から縦1列分の画像データを並列に入力することにより、クロック信号とこれに同期した入力画像データの信号の設定の2つの操作によりスカラー

ル表示が可能となり、またロギロによる複雑な演算処理が不要となる為速やかなスクロールも可能となる。

#### 図面の簡単な説明

第1図は、各画素にラッチ回路を持つ記憶型アクティブパネルの画素の回路図である。

第2図は、第1図のような画素によって構成されるパネルの画像データの転送領域を示す図面である。

第3図は、本発明のパネルに適した左右のスクロール表示の例を示す図である。

第4図は、本発明のシフトレジスタによって構成される記憶型アクティブパネルの画面の1部分を示す図面である。

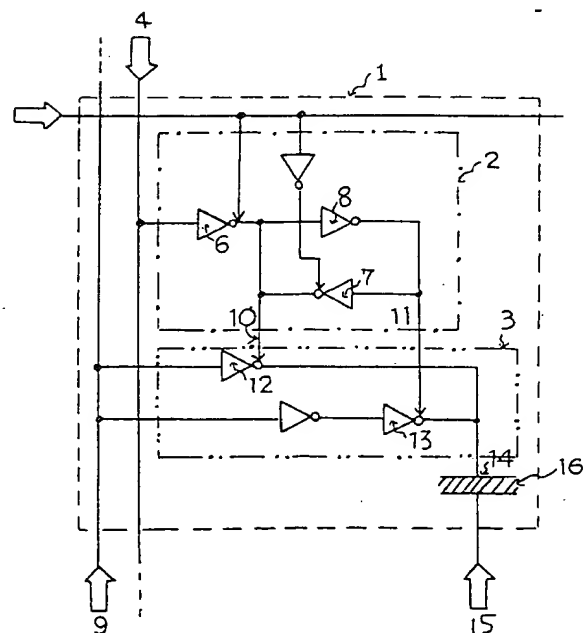
第5図は、本発明の記憶型アクティブパネルに使用されるシフトレジスタ回路の例を示す図である。

第6図は、本発明の記憶型アクティブパネルの画像データの入力及び転送の様子を示す図面であ

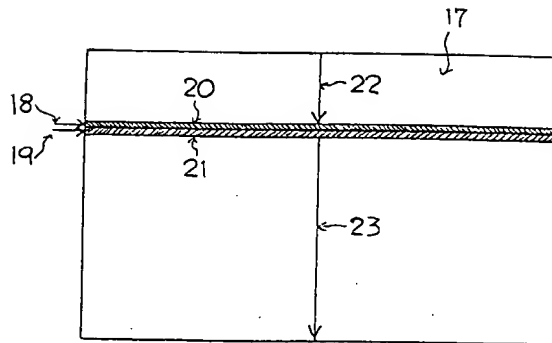
以上

出願人 株式会社諏訪精工舎

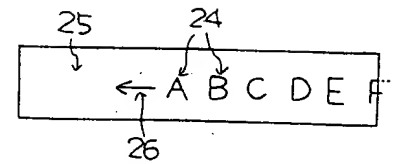
代理人 弁理士 最上



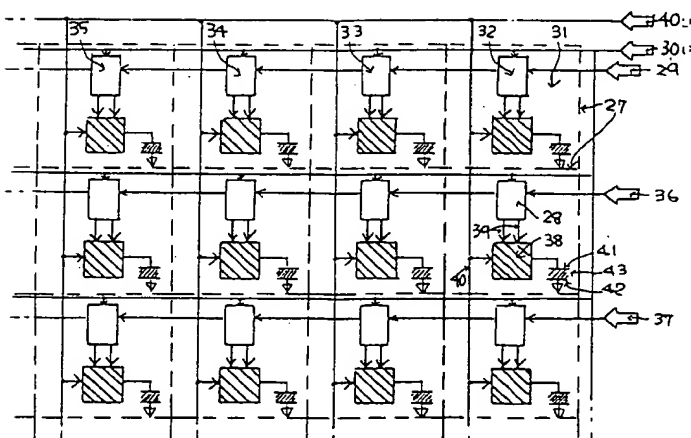
第1図



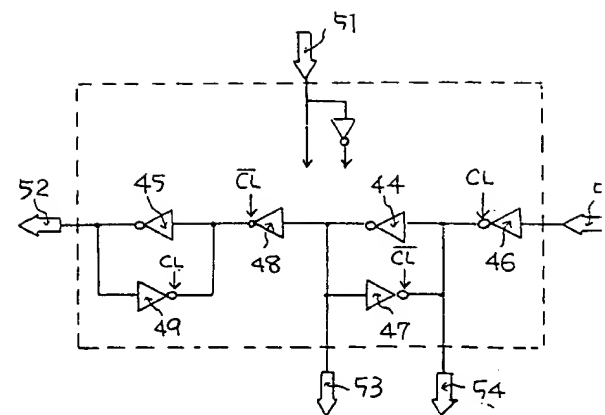
第 2 図



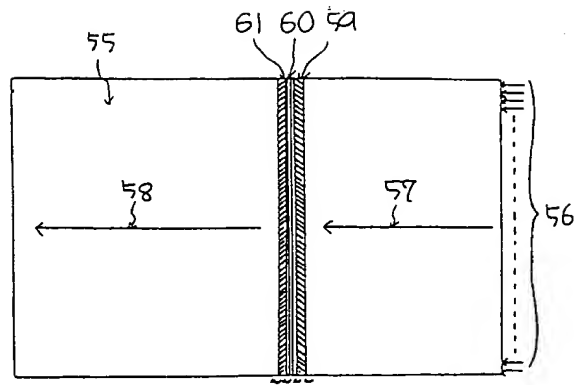
第 3 図



第 4 図



第 5 図



第 6 図